



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년06월01일
(11) 등록번호 10-2538943
(24) 등록일자 2023년05월26일

(51) 국제특허분류(Int. Cl.)
H01L 33/00 (2023.01) H01L 33/16 (2010.01)
H01L 33/32 (2010.01)
(52) CPC특허분류
H01L 33/007 (2013.01)
H01L 33/16 (2013.01)
(21) 출원번호 10-2021-0154125
(22) 출원일자 2021년11월10일
심사청구일자 2021년11월10일
(65) 공개번호 10-2023-0068123
(43) 공개일자 2023년05월17일
(56) 선행기술조사문헌
KR1020180086806 A
KR102043601 B1
W02003054937 A1

(73) 특허권자
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
김진교
서울특별시 서초구 고무래로 35, 106동 2603호(반포동, 반포리체아파트)
최재우
서울특별시 송파구 송파대로 567, 510동 307호(잠실동, 주공아파트)
(74) 대리인
김연권
(뒷면에 계속)

전체 청구항 수 : 총 19 항

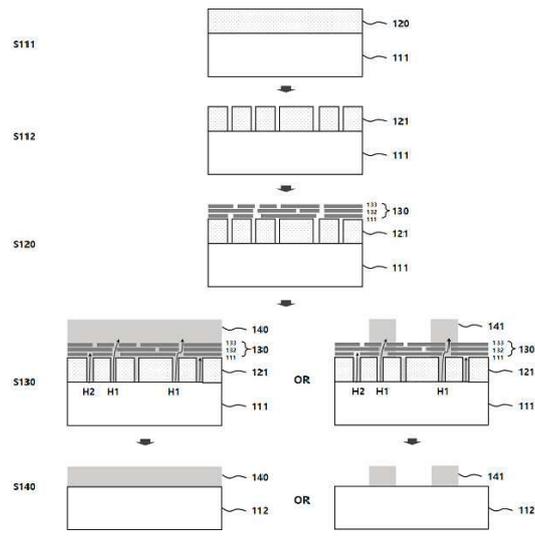
심사관 : 배성주

(54) 발명의 명칭 관통홀 에피택시 방법 및 이를 이용한 발광소자의 제조 방법

(57) 요약

본 발명은 관통홀 에피택시(Thru-Hole Epitaxy) 방법 및 이를 이용한 발광 소자의 제조 방법을 개시한다. 본 발명은 성장 기판 상에 나노 크기의 제1 관통홀(Thru hole)을 포함하는 비정질 절연층을 형성하는 단계; 및 상기 비정질 절연층 상에 적어도 두 층의 2차원 물질층을 형성하는 단계; 상기 2차원 물질층 상에 적어도 한 층의 반도체층을 에피택셜 성장시키는 단계; 및 상기 반도체층을 지지체(support)를 이용하여 타겟 기판(target substrate)에 전사하는 단계를 포함하고, 상기 적어도 두 층의 2차원 물질층은 나노 크기의 제2 관통홀을 포함하는 것을 특징으로 한다.

대표도 - 도1



- (52) CPC특허분류
H01L 33/32 (2013.01)
- (72) 발명자
권영균
 서울특별시 동작구 매봉로 123, 104동 701호(본동, 본동삼성래미안아파트)
- 장동수**
 서울특별시 서대문구 통일로39길 55(홍제동)
- 이영준**
 대전광역시 중구 태평로 15, 118동 203호(태평동, 버드내마을아파트)
- 안철우**
 경기도 용인시 수지구 진산로 96, 520동 305호(풍덕천동)

- 이승준**
 서울특별시 동대문구 한천로58길 47, 115동 1401호(이문동, 쌍용아파트)
- 이현규**
 경기도 성남시 분당구 내정로 152, 134동 302호(수내동, 파크타운)
- 김동희**
 대구광역시 수성구 신천동로 380, 102동 1701호(수성동1가, 우방오성타운)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711106055
과제번호	2019R1F1A1063643
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	대면적화 가능한 유연성 그래핀 기반 다수인자 이미지 센서들
기 여 율	33.4/100
과제수행기관명	경희대학교
연구기간	2020.03.01 ~ 2021.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711112934
과제번호	2019R1A2C1005417
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	열적 동적 구조의 제일 원리 연구
기 여 율	33.3/100
과제수행기관명	경희대학교
연구기간	2020.03.01 ~ 2021.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711117394
과제번호	2020R1F1A1050725
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	2차원 물질 표면 및 계면에서 성장되는 질화갈륨 도메인의 물성 제어 및 신물질 발
현 연구	
기 여 율	33.3/100
과제수행기관명	경희대학교
연구기간	2020.06.01 ~ 2021.02.28
공지예외적용	: 있음

명세서

청구범위

청구항 1

성장 기판 상에 나노 크기의 제1 관통홀(Thru hole)을 포함하는 비정질 절연층을 형성하는 단계;
 상기 비정질 절연층 상에 적어도 두 층의 2차원 물질층을 형성하는 단계;
 상기 2차원 물질층 상에 적어도 한 층의 반도체층을 에피택셜 성장시키는 단계; 및
 상기 반도체층을 지지체(support)를 이용하여 타겟 기판(target substrate)에 전사하는 단계;
 를 포함하고,
 상기 적어도 두 층의 2차원 물질층은 나노 크기의 제2 관통홀을 포함하는 것을 특징으로 하는 관통홀 에피택시 (Thru-Hole Epitaxy) 방법.

청구항 2

제1항에 있어서,
 상기 나노 크기의 제2 관통홀은 상기 반도체층을 성장시키기 위한 핵 생성 지점으로 사용되어, 상기 반도체층이 상기 제2 관통홀을 통해 에피택셜 측면 오버그로스(ELOG; epitaxial lateral overgrowth)되어 상기 성장 기판과 결정학적으로 정렬(crystallographically align)되는 것을 특징으로 하는 관통홀 에피택시 방법.

청구항 3

제2항에 있어서,
 상기 2차원 물질층 상에 적어도 한 층의 반도체층을 에피택셜 성장시키는 단계에서,
 상기 적어도 한 층의 반도체층은 상기 2차원 물질층의 전면에 컨포멀(conformal)하게 성장되거나, 상기 2차원 물질층의 핵 생성 지점에 대응하는 위치에 마이크로 패턴으로 성장되는 것을 특징으로 하는 관통홀 에피택시 방법.

청구항 4

제1항에 있어서,
 상기 제1 관통홀 및 제2 관통홀 중 적어도 어느 하나는 수직 방향으로 연결되어 상기 성장 기판을 노출시키는 것을 특징으로 하는 관통홀 에피택시 방법.

청구항 5

제1항에 있어서,
 상기 적어도 두 층의 2차원 물질층은, 각 층에 형성된 제2 관통홀 중 적어도 하나 이상은 수직 방향으로 연결되어 상기 성장 기판을 노출시키는 것을 특징으로 하는 관통홀 에피택시 방법.

청구항 6

제1항에 있어서,

상기 제1 관통홀 또는 제2 관통홀의 크기는 1 nm 내지 50 nm 인 것을 특징으로 하는 관통홀 에피택시 방법.

청구항 7

제1항에 있어서,

상기 성장 기판 상에 나노 크기의 제1 관통홀(Thru hole)을 포함하는 비정질 절연층을 형성하는 단계는,

상기 성장 기판 상에 비정질 절연막을 형성하는 단계; 및

상기 비정질 절연막에 나노 크기의 제1 관통홀을 형성하는 단계;

를 포함하는 것을 특징으로 하는 관통홀 에피택시 방법.

청구항 8

제1항에 있어서,

상기 비정질 절연층의 두께는 5 nm 내지 100nm 인 것을 특징으로 하는 관통홀 에피택시 방법.

청구항 9

제1항에 있어서,

상기 2차원 물질층은 2층 내지 100층인 것을 특징으로 하는 관통홀 에피택시 방법.

청구항 10

제1항에 있어서,

상기 2차원 물질층 상에 적어도 한 층의 반도체층을 에피택셜 성장시키는 단계는,

상기 반도체층을 선택적으로 식각하여 반도체 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 관통홀 에피택시 방법.

청구항 11

제1항에 있어서,

상기 성장 기판은 사파이어(sapphire), 갈륨 비소(GaAs; gallium arsenide), 스피넬(spinel), 실리콘(Si; silicon), 인화 인듐(InP; indium phosphide) 및 실리콘 카바이드(SiC; silicon carbide) 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 관통홀 에피택시 방법.

청구항 12

제1항에 있어서,

상기 2차원 물질층은 그래핀(graphene), h-BN, MoS₂, WS₂, WSe₂, MoTe₂, WTe₂, ZrS₂, ZrSe₂, NbS₂, TaS₂, TiS₂, NiSe₂, GaSe, GaTe, InSe 및 Bi₂Se₃ 중 적어도 하나를 포함하는 것을 특징으로 하는 관통홀 에피택시 방법.

청구항 13

제1항에 있어서,

상기 반도체층은 질화 갈륨(GaN; gallium nitride), 알루미늄 갈륨 질화물(AlGaN; aluminium gallium nitride), 인듐 갈륨 질화물(InGaN; indium gallium nitride), 인듐 질화물(InN; indium nitride), 알루미늄 질화물(AlN; aluminum nitride) 및 알루미늄 인듐 갈륨 질화물(AlInGaN; aluminum indium gallium nitride) 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 관통홀 에피택시 방법.

청구항 14

성장 기관 상에 나노 크기의 제1 관통홀을 포함하는 비정질 절연층을 형성하는 단계;

상기 비정질 절연층 상에 적어도 두 층의 2차원 물질층을 형성하는 단계;

상기 적어도 두 층의 2차원 물질층 상에 n-type 반도체층, 활성층 및 p-type 반도체층을 순차적으로 성장시켜 발광 구조물 패턴을 형성하는 단계;

상기 발광 구조물 패턴 상단에 제1 전극을 형성하는 단계; 및

상기 발광 구조물 패턴 하단에 제2 전극을 형성하는 단계;

를 포함하고,

상기 적어도 두 층의 2차원 물질층은 나노 크기의 제2 관통홀(Thru hole)을 포함하는 것을 특징으로 하는 발광 소자의 제조 방법.

청구항 15

제14항에 있어서,

상기 나노 크기의 제2 관통홀은 상기 반도체층을 성장시키기 위한 핵 생성 지점으로 사용되어, 상기 제2 관통홀에 의해 상기 반도체층이 에피택셜 측면 오버그로스(ELOG; epitaxial lateral overgrowth)되어 상기 성장 기관과 결정학적으로 정렬(crystallographically align)되는 것을 특징으로 하는 발광소자의 제조 방법.

청구항 16

제14항에 있어서,

상기 제1 관통홀 및 제2 관통홀 중 적어도 어느 하나는 수직 방향으로 연결되어 상기 성장 기관을 노출시키는 것을 특징으로 하는 발광소자의 제조 방법.

청구항 17

제14항에 있어서,

상기 적어도 두 층의 2차원 물질층은, 각 층에 형성된 제2 관통홀이 적어도 하나 이상은 수직 방향으로 연결되어 상기 성장 기관을 노출시키는 것을 특징으로 하는 발광소자의 제조 방법.

청구항 18

제14항에 있어서,

상기 제1 관통홀 또는 제2 관통홀의 크기는 1 nm 내지 50 nm 인 것을 특징으로 하는 발광소자의 제조 방법.

청구항 19

제14항에 있어서,

상기 적어도 두 층의 2차원 물질층 상에 n-type 반도체층, 활성층 및 p-type 반도체층을 순차적으로 성장시켜 발광 구조물 패턴을 형성하는 단계는,

상기 적어도 두 층의 2차원 물질층 상에 n-type 반도체층, 활성층 및 p-type 반도체층을 순차적으로 성장시켜 발광 구조물을 형성하는 단계; 및

상기 발광 구조물을 선택적으로 식각하여 발광 구조물 패턴을 형성하는 단계;

를 포함하는 것을 특징으로 하는 발광소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 관통홀 에피택시 방법 및 이를 이용한 발광소자의 제조 방법에 관한 것으로, 보다 상세하게는, 본 발명은 비정질 절연층이 형성된 성장 기판 상에 다층의 2차원 물질층을 포함하여도 반도체층이 기판의 결정성을 따라 성장되는 동시에 용이하게 박리가 가능한 관통홀 에피택시 방법 및 이를 이용한 발광소자의 제조 방법에 관한 것이다.

배경 기술

[0003] 최근 플렉서블(flexible) 및 웨어러블(wearable) 전자 산업이 급격하게 성장함에 따라 변형이 자유로운 소재 제조 개발이 활발히 진행되고 있다. 무기물 반도체 기반 소자는 장수명, 높은 효율 및 성능뿐만 아니라 고온, 다습한 환경에서의 장시간 안정성을 갖기 때문에, 플렉서블 소자에 응용이 될 경우 유기물 기반 플렉서블 소자 보다 활용될 수 있는 범위가 매우 넓다.

[0004] 플렉서블 전자 소자를 제조하기 위해서는 균일한 배열의 소자를 제조 하고 이를 대량으로 전사할 수 있는 기술이 필요하다. 그러나, 종래의 박막형태의 무기물 반도체는 강한 공유결합을 기반으로 하고 있으며, 딱딱한 무기물 기판 상에 제조되기 때문에 변형이 자유롭지 못하고, 제조한 소자의 대면적 박리(exfoliation) 및 전사가 어려워 여전히 플렉서블 소자 응용에 어려움이 있다.

[0005] 이에, 기존에 알려진 박막성장방법에 의하면 결정성 기판 상에 한, 두 층의 2차원 물질인 그래핀(graphene)이나 질화붕소(h-BN)를 전사한 후, 박막을 성장시킴으로써, 기판의 결정성을 따라 성장시키는 동시에 쉽게 박리가 가능한 박막을 성장시킬 수 있음을 보고하였다.

[0006] 그러나, 이는 전사되는 2차원 물질의 층 수가 특정한 값 보다 작아야 하며, 매우 양질의 상태를 유지해야하는 엄밀한 제약 조건이 필요하다. 이러한 제약 조건에 영향을 받지 않으면서 반도체층을 성장시킬 수 있는 연구가 필요하다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 대한민국 등록특허 제2300006호, "그래핀층 위의 선택적 영역 에피택시 구조체 및 그 제조 방법"

발명의 내용

해결하려는 과제

[0009] 본 발명의 실시예는 나노 사이즈의 미세한 제2 관통홀을 포함하는 2차원 물질층을 사용하여 2차원 물질층의 층

수에 제한없이 성장 기판 상에 반도체층을 성장시킬 수 있는 관통홀 에피택시 방법 및 이를 이용한 발광소자의 제조 방법을 제공하고자 한다.

[0010] 본 발명의 실시예는 비정질 절연층이 형성된 성장 기판 상에 다층의 2차원 물질층을 전사한 다음, 반도체층을 성장시킴으로써, 성장 기판의 결정성을 따라 성장되는 동시에 용이하게 박리가 가능한 관통홀 에피택시 방법 및 이를 이용한 발광소자의 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0012] 본 발명의 실시예에 따른 관통홀 에피택시 방법은 성장 기판 상에 나노 크기의 제1 관통홀(Thru hole)을 포함하는 비정질 절연층을 형성하는 단계; 상기 비정질 절연층 상에 적어도 두 층의 2차원 물질층을 형성하는 단계; 상기 2차원 물질층 상에 적어도 한 층의 반도체층을 에피택셜 성장시키는 단계; 및 상기 반도체층을 지지체(support)를 이용하여 타겟 기판(target substrate)에 전사하는 단계;를 포함하고, 상기 적어도 두 층의 2차원 물질층은 나노 크기의 제2 관통홀을 포함한다.

[0013] 상기 나노 크기의 제2 관통홀은 상기 반도체층을 성장시키기 위한 핵 생성 지점으로 사용되어, 상기 반도체층이 상기 제2 관통홀을 통해 에피택셜 측면 오버그로스(ELOG; epitaxial lateral overgrowth)되어 상기 성장 기판과 결정학적으로 정렬(crystallographically align)될 수 있다.

[0014] 상기 2차원 물질층 상에 적어도 한 층의 반도체층을 에피택셜 성장시키는 단계에서, 상기 적어도 한 층의 반도체층은 상기 2차원 물질층의 전면에 컨포멀(conformal)하기 성장되거나, 상기 2차원 물질층의 핵 생성 지점에 대응하는 위치에 마이크로 패턴으로 성장될 수 있다.

[0015] 상기 제1 관통홀 및 제2 관통홀 중 적어도 어느 하나는 수직 방향으로 연결되어 상기 성장 기판을 노출시킬 수 있다.

[0016] 상기 적어도 두 층의 2차원 물질층은, 각 층에 형성된 제2 관통홀 중 적어도 하나 이상은 수직 방향으로 연결되어 상기 성장 기판을 노출시킬 수 있다.

[0017] 상기 제1 관통홀 또는 제2 관통홀의 크기는 1 nm 내지 50 nm 일 수 있다.

[0018] 상기 성장 기판 상에 나노 크기의 제1 관통홀(Thru hole)을 포함하는 비정질 절연층을 형성하는 단계는, 상기 성장 기판 상에 비정질 절연막을 형성하는 단계; 및 상기 비정질 절연막에 나노 크기의 제1 관통홀을 형성하는 단계;를 포함할 수 있다.

[0019] 상기 비정질 절연층의 두께는 5 nm 내지 1000nm 일 수 있다.

[0020] 상기 2차원 물질층은 2층 내지 100층일 수 있다.

[0021] 상기 2차원 물질층 상에 적어도 한 층의 반도체층을 에피택셜 성장시키는 단계는, 상기 반도체층을 선택적으로 식각하여 반도체 패턴을 형성하는 단계를 더 포함할 수 있다.

[0022] 상기 성장 기판은 사파이어(sapphire), 갈륨 비소(GaAs; gallium arsenide), 스피넬(spinel), 실리콘(Si; silicon), 인화 인듐(InP; indium phosphide) 및 실리콘 카바이드(SiC; silicon carbide) 중 적어도 어느 하나를 포함할 수 있다.

[0023] 상기 2차원 물질층은 그래핀(graphene), h-BN, MoS₂, WS₂, WSe₂, MoTe₂, WTe₂, ZrS₂, ZrSe₂, NbS₂, TaS₂, TiS₂, NiSe₂, GaSe, GaTe, InSe 및 Bi₂Se₃ 중 적어도 하나를 포함할 수 있다.

[0024] 상기 반도체층은 질화 갈륨(GaN; gallium nitride), 알루미늄 갈륨 질화물(AlGaN; aluminium gallium nitride), 인듐 갈륨 질화물(InGaN; indium gallium nitride), 인듐 질화물(InN; indium nitride), 알루미늄 질화물(AlN; aluminum nitride) 및 알루미늄 인듐 갈륨 질화물(AlInGaN; aluminum indium gallium nitride) 중 적어도 어느 하나를 포함할 수 있다.

[0025] 본 발명의 실시예에 따른 발광소자의 제조방법은 상기 성장 기판 상에 나노 크기의 제1 관통홀을 포함하는 비정질 절연층을 형성하는 단계; 상기 비정질 절연층 상에 적어도 두 층의 2차원 물질층을 형성하는 단계; 상기 적어도 두 층의 2차원 물질층 상에 n-type 반도체층, 활성층 및 p-type 반도체층을 순차적으로 성장시켜 발광 구조물 패턴을 형성하는 단계; 상기 발광 구조물 패턴 상단에 제1 전극을 형성하는 단계; 및 상기 발광 구조물 패턴 하단에 제2 전극을 형성하는 단계;를 포함하고, 상기 적어도 두 층의 2차원 물질층은 나노 크기의 제2 관

통홀(Thru hole)을 포함할 수 있다.

- [0026] 상기 나노 크기의 제2 관통홀은 상기 반도체층을 성장시키기 위한 핵 생성 지점으로 사용되어, 상기 제2 관통홀에 의해 상기 반도체층이 에피택셜 측면 오버그로스(ELOG; epitaxial lateral overgrowth)되어 상기 성장 기관과 결정학적으로 정렬(crystallographically align)될 수 있다.
- [0027] 상기 제1 관통홀 및 제2 관통홀 중 적어도 어느 하나는 수직 방향으로 연결되어 상기 성장 기관을 노출시킬 수 있다.
- [0028] 상기 적어도 두 층의 2차원 물질층은, 각 층에 형성된 제2 관통홀이 적어도 하나 이상은 수직 방향으로 연결되어 상기 성장 기관을 노출시킬 수 있다.
- [0029] 상기 제1 관통홀 또는 제2 관통홀의 크기는 1 nm 내지 50 nm 일 수 있다.
- [0030] 상기 적어도 두 층의 2차원 물질층 상에 n-type 반도체층, 활성층 및 p-type 반도체층을 순차적으로 성장시켜 발광 구조물 패턴을 형성하는 단계는, 상기 상기 적어도 두 층의 2차원 물질층 상에 n-type 반도체층, 활성층 및 p-type 반도체층을 순차적으로 성장시켜 발광 구조물을 형성하는 단계; 및 상기 발광 구조물을 선택적으로 식각하여 발광 구조물 패턴을 형성하는 단계;를 포함할 수 있다.

발명의 효과

- [0032] 본 발명의 실시예에 따르면, 나노 사이즈의 미세한 제2 관통홀을 포함하는 2차원 물질층을 사용하여 2차원 물질층의 층 수에 제한없이 성장 기관 상에 반도체층을 성장시킬 수 있는 관통홀 에피택시 방법 및 이를 이용한 발광소자의 제조 방법을 제공할 수 있다.
- [0033] 본 발명의 실시예에 따르면, 비정질 절연층이 형성된 성장 기관 상에 다층의 2차원 물질층을 전사한 다음, 반도체층을 성장시킴으로써, 성장 기관의 결정성을 따라 성장되는 동시에 용이하게 박리가 가능한 관통홀 에피택시 방법 및 이를 이용한 발광소자의 제조 방법을 제공할 수 있다.

도면의 간단한 설명

- [0035] 도 1은 본 발명의 실시예에 따른 관통홀 에피택시 방법을 도시한 개략도이다.
 도 2a 및 도 2b는 단층의 2차원 물질층을 이용한 단층 전사 공정 및 2차원 물질층 구조물을 이용한 다층 전사 공정을 통해 전사된 2차원 물질층을 도시한 단면도이다.
 도 3은 본 발명의 실시예에 따른 발광소자의 제조방법을 도시한 개략도이다.
 도 4는 r-사파이어/SiO₂/h-BN 상에 성장된 GaN 반도체층을 도시한 SEI(secondary electron image) 측정 이미지를 도시한 것이고, 도 5는 θ -2 θ 스캔(scan)에서의 r-사파이어 기관 및 GaN 반도체층의 XRD 측정 결과를 도시한 그래프이며, 도 6은 ϕ 스캔(scan)에서의 r-사파이어 기관 및 GaN 반도체층의 XRD 측정 결과를 도시한 그래프이고, 도 7은 r-사파이어/SiO₂/h-BN 상에 성장된 GaN 반도체층의 고해상도 단면 TEM 측정 이미지이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.
- [0037] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계는 하나 이상의 다른 구성요소, 단계의 존재 또는 추가를 배제하지 않는다.
- [0038] 본 명세서에서 사용되는 "실시예", "예", "측면", "예시" 등은 기술된 임의의 양상(aspect) 또는 설계가 다른 양상 또는 설계들보다 양호하다거나, 이점이 있는 것으로 해석되어야 하는 것은 아니다.
- [0039] 또한, '또는'이라는 용어는 배타적 논리합 'exclusive or'이기보다는 포함적인 논리합 'inclusive or'를 의미한다. 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다'라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.

- [0040] 또한, 본 명세서 및 청구항들에서 사용되는 단수 표현("a" 또는 "an")은, 달리 언급하지 않는 한 또는 단수 형태에 관한 것이라고 문맥으로부터 명확하지 않는 한, 일반적으로 "하나 이상"을 의미하는 것으로 해석되어야 한다.
- [0041] 아래 설명에서 사용되는 용어는, 연관되는 기술 분야에서 일반적이고 보편적인 것으로 선택되었으나, 기술의 발달 및/또는 변화, 관례, 기술자의 선호 등에 따라 다른 용어가 있을 수 있다. 따라서, 아래 설명에서 사용되는 용어는 기술적 사상을 한정하는 것으로 이해되어서는 안 되며, 실시예들을 설명하기 위한 예시적 용어로 이해되어야 한다.
- [0042] 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친 내용을 토대로 이해되어야 한다.
- [0043] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0044] 한편, 본 발명의 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다. 그리고, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0046] 도 1은 본 발명의 실시예에 따른 관통홀 에피택시 방법을 도시한 개략도이다.
- [0047] 본 발명의 실시예에 따른 관통홀 에피택시 방법은 성장 기관(111) 상에 나노 크기의 제1 관통홀(Thru hole)을 포함하는 비정질 절연층(121)을 형성하는 단계(S110), 비정질 절연층(121) 상에 나노 크기의 제2 관통홀을 포함하는 적어도 두 층의 2차원 물질층(130)을 형성하는 단계(S120), 2차원 물질층(130) 상에 적어도 한 층의 반도체층(140)을 에피택셜 성장시키는 단계(S130) 및 반도체층(140)을 지지체(support)를 이용하여 타겟 기관(target substrate; 112)에 전사하는 단계(S140)를 포함한다.
- [0048] 따라서, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 비정질 절연층(121)이 형성된 성장 기관(111) 상에 다층의 2차원 물질층(130)을 전사한 다음, 반도체층(140)을 성장시킴으로써, 성장 기관(111)의 결정성을 따라 성장되는 동시에 용이하게 박리가 가능하다.
- [0049] 먼저, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 성장 기관(111) 상에 나노 크기의 제1 관통홀(Thru hole)을 포함하는 비정질 절연층(121)을 형성하는 단계(S110)를 진행한다.
- [0050] 성장 기관(111)은 단결정 기관일 수 있다. 예를 들어, 성장 기관(111)은 사파이어(sapphire), 갈륨 비소(GaAs; gallium arsenide), 스피넬(spinel), 실리콘(Si; silicon), 인화 인듐(InP; indium phosphide) 및 실리콘 카바이드(SiC; silicon carbide) 중 적어도 어느 하나를 포함할 수 있다.
- [0051] 성장 기관(111)은 결정 방향을 가질 수 있다. 예를 들어, 성장 기관(111)의 결정면이 c-plane (0001), a-plane (11-20), m-plane (1-100) 또는 r-plane (1-102)일 수 있다.
- [0052] 성장 기관(111)이 육방(Hexagonal) 결정 계(system)에 속하는 경우, 동일한 물질이더라도 결정 면이 c-plane, r-plane, m-plane, a-plane으로 서로 다를 수 있다. 성장 기관(111)이 입방(Cubic) 결정계에 속하는 경우, 동일한 물질이더라도 결정면이 [100], [111] 또는 [110]로 서로 다를 수 있다.
- [0053] 비정질 절연층(121)은 실리콘 산화물(SiO₂; silicon oxide), 실리콘 질화물(SiNx; silicon nitride) 및 실리콘 산질화물(SiON; silicon oxynitride) 중 적어도 어느 하나를 포함할 수 있고, 바람직하게는, 비정질 절연층(121)은 실리콘 산화물을 포함할 수 있다.
- [0054] 실리콘 산화물은 이미 반도체층(140)을 성장시키기 위한 성장 분위기에서 안전성이 검증된 물질로 900°C 이상의 고온 및 고압의 분위기에서도 매우 안정적인 특징을 가지고 있으므로, 비정질 절연층(121)으로 실리콘 산화물을 사용하는 경우, 반도체층(140)의 성장과정에서의 가스에 대한 내식각성이 충분히 강하다는 장점이 있다.

- [0055] 비정질 절연층(121)의 두께는 5 nm 내지 1000nm 일 수 있으며, 비정질 절연층(121)의 두께가 5 nm 미만이면, 균일성(uniformity)이 나빠짐에 따라 성장 기관(111)이 노출되는 영역이 나타나는 문제가 있고, 1000nm 를 초과하면, 제1 관통홀이 원활하게 생성되지 않는 문제가 있다.
- [0056] 실시예에 따라, 성장 기관(111) 상에 나노 크기의 제1 관통홀을 포함하는 비정질 절연층(121)을 형성하는 단계는, 성장 기관(111) 상에 비정질 절연막(120)을 형성하는 단계(S111) 및 비정질 절연막(120)에 나노 크기의 제1 관통홀을 형성하는 단계(S112)를 포함할 수 있다.
- [0057] 먼저, 성장 기관(111) 상에 비정질 절연막(120)을 형성하는 단계(S111)를 진행할 수 있다.
- [0058] 본 발명의 실시예에 따른 관통홀 에피택시 방법에서 사용되는 비정질 절연막(120)은 일반적으로 기관 상에 형성되는 자연 산화물층 상이한 것으로, 자연 산화물층은 고온에서 열분해되어 2차원 물질층(130)에 구멍(hole)을 유발하는 문제가 있으나, 본 발명의 실시예에 따른 관통홀 에피택시 방법에서 사용되는 비정질 절연막(120)은 제1 관통홀을 포함하여 반도체층(140)의 박리성 및 결정성을 조절할 수 있다.
- [0059] 비정질 절연막(120)은 드랍-캐스팅(drop casting), 스핀 코팅(Spin-coating), 슬릿 다이 코팅(Slit dye coating), 잉크젯 프린팅(Ink-jet printing), 스프레이 코팅(spray coating) 및 딥 코팅(dip coating) 중 어느 하나의 방법으로 형성될 수 있다.
- [0060] 이 후, 비정질 절연막(120)에 나노 크기의 제1 관통홀을 형성하는 단계(S112)를 진행할 수 있다.
- [0061] 비정질 절연막(120)에 제1 관통홀을 형성하는 방법은 특별히 한정되지는 않으나, 비정질 절연막(120)에 제1 관통홀을 형성하는 방법은 산화제를 이용한 열적 분해 방법으로 나노 크기의 제1 관통홀을 포함하는 비정질 절연층(121)을 형성할 수 있다.
- [0062] 산화제로는 염화철(iron(III) chloride), 황산철 (iron(III) sulfate), 구연산철 (iron(III) citrate) 및 황산 암모늄철 (ammonium iron(III) sulfate) 중 적어도 어느 하나를 포함할 수 있다.
- [0063] 또한, 산화제를 이용한 열적 분해 방법은 산화제를 통해 반도체층(140)의 성장을 위한 예열 단계에서 제1 관통홀이 형성될 수 있다.
- [0064] 보다 구체적으로, 비정질 절연막(120) 상에 산화제 용액을 도포하고 고온에서 어닐링(annealing)을 진행하면, 산화제가 비정질 절연막(120)을 열분해시켜 제1 관통홀을 형성할 수 있다.
- [0065] 예를 들어, 비정질 절연막(120)으로 실리콘 산화물이 사용되는 경우, 실리콘 산화물에 염화철(iron(III) chloride)을 포함하는 산화제 용액을 도포하면, 반도체층(140)의 성장을 위한 예열 단계에서 가해지는 어닐링에 의해 Fe 방울(Fe droplet)이 비정질 절연막(120)의 Si를 열분해시켜 나노 크기의 제1 관통홀이 생성될 수 있다.
- [0066] 어닐링 온도는 반도체층(140)의 성장을 위한 예열 온도라면 특별히 제한되지는 않으나, 예를 들어 어닐링 온도는 1000℃일 수 있다.
- [0067] 따라서, 비정질 절연층(121)은 나노 크기의 제1 관통홀을 포함할 수 있다.
- [0068] 제1 관통홀의 크기(너비)는 1 nm 내지 50 nm 일 수 있고, 제1 관통홀의 크기가 1 nm 미만이면 성장 기관(111)과의 결합을 통한 결정 방향성에 대한 정보가 정상적으로 전달되지 않는 문제가 있고, 50 nm 를 초과하면, 지지체를 이용하여 성장 기관(111)으로부터 반도체층(140)을 박리하기 어려운 문제가 있다.
- [0069] 제1 관통홀은 성장 기관(111)과 반도체층(140)을 연결할 수 있다. 따라서, 제1 관통홀은 2차원 물질층(130)의 제2 관통홀과 수직 방향으로 연결되어 성장 기관(111)을 노출시킬 수 있다.
- [0070] 이 후, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 비정질 절연층(121) 상에 나노 크기의 제2 관통홀을 포함하는 적어도 두 층의 2차원 물질층(130)을 형성하는 단계(S120)를 진행한다.
- [0071] 종래의 경우, 2차원 물질층(130)을 한, 두층 형성하기 때문에 2차원 물질층(130)을 정밀하게 제어하는 것이 어려웠으나, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 2차원 물질층(130)을 종래 대비 다층으로 형성함으로써, 층수에 대한 정밀도를 요구하지 않기 때문에 공정 수월성이 월등하게 개선될 수 있다.
- [0072] 적어도 두 층의 2차원 물질층(130)은 전사 공정에 의해 성장 기관(111) 상에 형성될 수 있다. 또한, 2차원 물질층(130)은 반도체층(140)과 반 데르 발스(van der Waals, vdW) 힘으로 결합될 수 있다.
- [0073] 따라서, 2차원 물질층(130)은 반 데르 발스 인력을 통해 반도체층(140)과 약하게 결합될 수 있으므로, 반도체층

(140)으로부터 2차원 물질층(130)을 분리 시, 상부에 형성되는 층 또는 구조물의 손상을 미연에 방지할 수 있다. 또한 분리된 성장 기관(111)을 재사용 할 수 있으므로, 반도체층(140)의 제조 단가를 낮출 수 있다.

- [0074] 전사 공정은 단층의 2차원 물질층(130)을 적어도 2회 이상 반복하여 전사하는 단층 전사 공정 및 적어도 2층 이상의 2차원 물질층(130)을 포함하는 2차원 물질층(130) 구조물을 적어도 1회 이상 반복하여 전사하는 다층 전사 공정 중 적어도 어느 하나의 방법으로 진행될 수 있다.
- [0075] 전사 공정에 대해서는 도 2a 및 도 2b를 참조하여 보다 상세히 설명하기로 한다.
- [0076] 도 2a 및 도 2b는 단층의 2차원 물질층을 이용한 단층 전사 공정 및 2차원 물질층 구조물을 이용한 다층 전사 공정을 통해 전사된 2차원 물질층을 도시한 단면도이다.
- [0077] 도 2a를 참조하면, 단층의 2차원 물질층(131, 132, 133)을 적어도 2회 이상 반복하여 전사하는 단층 전사 공정의 경우, 각각의 2차원 물질층(130)에 형성된 제2 관통홀이 랜덤하게 형성되어 있다.
- [0078] 따라서, 제1 2차원 물질층(131), 제2 2차원 물질층(132) 및 제3 2차원 물질층(133)에 형성된 제2 관통홀 중 수직 방향으로 연결된 제2 관통홀(H1)에서 반도체층(140)이 성장될 수 있다.
- [0079] 반면, 제2 2차원 물질층(132)에 막힌 제1 2차원 물질층(131)의 제2 관통홀(H2)에서는 제1 2차원 물질층(131)의 상부에 형성된 제2 2차원 물질층(132)에 의해 반도체층(140)이 성장되지 않는다.
- [0080] 도 2b를 참조하면, 적어도 2층 이상의 2차원 물질층(131, 132, 133)을 포함하는 2차원 물질층 구조물(130-1, 130-2, 130-3)을 적어도 1회 이상 반복하여 전사하는 다층 전사 공정의 경우, 2차원 물질층 구조물(130-1, 130-2, 130-3)에 포함된 제1 2차원 물질층(131), 제2 2차원 물질층(132) 및 제3 2차원 물질층(133)의 제2 관통홀은 동일한 위치에 형성되고, 2차원 물질층(130) 구조물에 형성된 제2 관통홀은 랜덤하게 형성될 수 있다.
- [0081] 본 발명의 실시예에 따른 관통홀 에피택시 방법은 제1 2차원 물질층 구조물(130-1), 제2 2차원 물질층 구조물(130-2) 및 제3 2차원 물질층 구조물(103-3)에 형성된 제2 관통홀(H1, H2) 중 수직 방향으로 연결된 제2 관통홀(H1)에서 반도체층(140)이 성장될 수 있다.
- [0082] 따라서, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 적어도 2층 이상의 2차원 물질층(131, 132, 133)을 포함하는 2차원 물질층 구조물(130-1, 130-2, 130-3)을 적어도 1회 이상 반복하여 전사하는 다층 전사 공정은 단층의 2차원 물질층(131, 132, 133)을 적어도 2회 이상 반복하여 전사하는 단층 전사 공정보다 전사 공정 횟수는 감소되지만, 2차원 물질층(130)의 층수는 증가되어, 2차원 물질층(130)의 두께가 증가($T1 < T2$)될 수 있다.
- [0083] 다시 도 1을 참조하면, 2차원 물질층(130)은 그래핀(graphene), h-BN, MoS₂, WS₂, WSe₂, MoTe₂, WTe₂, ZrS₂, ZrSe₂, NbS₂, TaS₂, TiS₂, NiSe₂, GaSe, GaTe, InSe 및 Bi₂Se₃ 중 적어도 하나를 포함할 수 있다.
- [0084] 제2 관통홀은 2차원 물질층(130)에 자체적으로 포함되어 있는 결함인 핀 홀(pin hole)이거나, 인공적으로 형성될 수 있다.
- [0085] 제2 관통홀을 인공적으로 형성하는 경우, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 지지 기관 상에 2차원 물질막을 성장시키는 단계, 성장된 2차원 물질막에 산화제를 이용하여 식각함으로써 제2 관통홀을 포함하는 2차원 물질층(130)을 형성하는 단계 및 제2 관통홀을 포함하는 2차원 물질층(130)을 성장 기관(111) 상에 전사하는 단계를 포함할 수 있다.
- [0086] 제2 관통홀을 형성하는 방법은 제1 관통홀을 형성하는 방법과 동일할 수 있다.
- [0087] 제2 관통홀의 크기(너비)는 1 nm 내지 50 nm 일 수 있고, 제2 관통홀의 크기가 1 nm 미만이면 성장 기관(111)과의 결합을 통한 결정 방향성에 대한 정보가 정상적으로 전달되지 않는 문제가 있고, 50 nm 를 초과하면, 지지체를 이용하여 성장 기관(111)으로부터 반도체층(140)을 박리하기 어려운 문제가 있다.
- [0088] 또한, 제2 관통홀의 크기에 따라 반도체층(140)의 박리성(detachability)이 조절될 수 있다. 보다 구체적으로, 제2 관통홀의 크기가 감소되면 성장 기관(111)과 반도체층(140)이 직접적으로 접하는 영역(H1에 대응)이 줄어들어 박리성이 증가될 수 있으나, 제2 관통홀의 크기가 증가되면 성장 기관(111)과 반도체층(140)이 직접적으로 접하는 영역(H1에 대응)이 증가되어 결합력이 증가됨으로써 박리성이 감소될 수 있다.
- [0089] 적어도 두 층의 2차원 물질층(130)은 각 층에 형성된 제2 관통홀 중 적어도 하나 이상은 수직 방향으로 연결되어 성장 기관(111)을 노출시킬 수 있다.

- [0090] 따라서, 나노 크기의 제2 관통홀은 반도체층(140)을 성장시키기 위한 핵 생성 지점(H1)으로 사용되어, 반도체층(140)이 제2 관통홀을 통해 에피택셜 측면 오버그로스(ELOG; epitaxial lateral overgrowth)되어 성장 기관(111)과 결정학적으로 정렬(crystallographically align)될 수 있다.
- [0091] 즉, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 나노 사이즈의 미세한 제2 관통홀을 포함하는 2차원 물질층(130)을 사용하여 2차원 물질층(130)의 층 수에 제한없이 성장 기관(111) 상에 반도체층(140)을 성장시킬 수 있다.
- [0092] 2차원 물질층(130)은 2층 내지 100층일 수 있고, 바람직하게는, 2차원 물질층(130)은 2층 내지 40층일 수 있다. 만약, 2차원 물질층(130)이 2층 미만이면 성장 기관(111)과의 결합을 통한 결정 방향성에 대한 정보가 잘 전달되지만, 성장 기관(111)으로부터 반도체층(140)을 박리하기 어려운 문제가 있고, 100층을 초과하면, 성장 기관(111)으로부터 반도체층(140)의 박리가 잘 되지만 성장 기관(111)과의 결합을 통한 결정 방향성에 대한 정보가 잘 전달되지 않아, 단결정이 아닌 다결정(polycrystalline) 형태로 성장되는 문제가 있다.
- [0093] 실시예에 따라, 2차원 물질층(130)의 층수 제한은 개별 2차원 물질에 제2 관통홀이 얼마나 많이 존재하느냐(제2 관통홀의 개수 밀도)에 따라 제어될 수 있기에, 양질의 2차원 물질이라면 2층만 적층하여도 제2 관통홀이 모두 막히면서 관통홀 에피택시(thru-hole epitaxy)가 구현되지 않을 수 있으나, 2차원 물질층(130)에 제2 관통홀이 충분히 많으면 100층에서도 관통홀 에피택시(thru-hole epitaxy)가 구현 가능하다.
- [0094] 또한, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 2차원 물질층(130)의 층수에 따라 핵 생성 지점(H1에 대응)의 개수 밀도가 조절될 수 있다.
- [0095] 보다 구체적으로, 2차원 물질층(130)의 층수가 증가될수록 각각의 2차원 물질층(130)을 수직 방향으로 연결된 제2 관통홀(H1)의 개수 밀도가 감소되어 핵 생성 지점(H1에 대응)의 개수 밀도가 감소될 수 있다.
- [0096] 또한, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 2차원 물질층(130)의 핵 생성 지점(H1에 대응)의 개수 밀도에 따라 반도체층(140)의 박리성이 조절될 수 있다. 보다 구체적으로, 핵 생성 지점(H1에 대응)의 개수 밀도가 감소되면 성장 기관(111)과 반도체층(140)이 직접적으로 접하는 영역(H1에 대응)이 줄어들어 박리성이 증가될 수 있으나, 핵 생성 지점(H1에 대응)의 개수 밀도가 증가되면 성장 기관(111)과 반도체층(140)이 직접적으로 접하는 영역(H1에 대응)이 증가되어 결합력이 증가되어 박리성이 감소될 수 있다.
- [0097] 따라서, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 2차원 물질층(130)의 층수 또는 2차원 물질층(130)의 핵 형성 지점(H1에 대응)의 개수 밀도에 따라, 반도체층(140)의 박리성 및 성장 기관(111)과의 결합을 통한 결정 방향성에 대한 정보 전달로 인해 결정성이 조절될 수 있다.
- [0098] 이 후, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 2차원 물질층(130) 상에 적어도 한 층의 반도체층(140)을 에피택셜 성장시키는 단계(S130)을 진행한다.
- [0099] 반도체층(140)은 성장 기관(111)과 에피택시(Epitaxy) 관계를 가지고, 이에 따라, 동일한 면내 방향(in-plane orientation) 및 성장 방향을 가질 수 있다.
- [0100] 반도체층(140)은 에피택셜 측면 오버그로스(ELOG) 방법으로 성장될 수 있다.
- [0101] 에피택셜 측면 오버그로스(ELOG)는 성장 기관(111)으로부터 수직 방향으로뿐만 아니라 2차원 물질층(130) 상부의 측면 방향으로도 반도체층(140)이 성장될 수 있다.
- [0102] 먼저, 반도체층(140)이 2차원 물질층(130)의 제1 관통홀을 통하여 수직 성장된다. 이후, 성장의 마지막 단계에서, 2차원 물질층(130)의 제1 관통홀의 측방향으로 연장되어 반도체층(140)이 성장될 수 있다.
- [0103] 이로 인해, 측방향으로 성장되는 반도체층(140)은 일정 시간이 지난 후, 수직 성장된 반도체층(140)이 병합되어 성장 기관(111) 및 2차원 물질층(130) 상부 표면에 전체적으로 성장된 반도체층(140)이 형성될 수 있다.
- [0104] 실시예에 따라, 2차원 물질층(130) 상에 적어도 한 층의 반도체층(140)을 에피택셜 성장시키는 단계(S130)에서, 적어도 한 층의 반도체층(140)은 2차원 물질층(130)의 전면에 컨포멀(conformal)하기 성장되거나, 2차원 물질층(130)의 핵 생성 지점(H1에 대응)에 대응하는 위치에 마이크로 패턴(141)으로 성장될 수 있다.
- [0105] 즉, 반도체층(140)은 에피택셜 측면 오버그로스(ELOG) 방법에 의해 2차원 물질층(130) 상부의 측면 방향으로도 반도체층(140)이 성장되는데, 이때, 성장 공정 조건에 따라, 수직 성장된 반도체층(140)이 측면 방향으로 성장되어 병합되어 성장 기관(111) 및 2차원 물질층(130) 상부 표면에 전체적으로 컨포멀하게 성장된 반도체층(14

0)이 형성되거나, 수직 성장된 반도체층(140)이 측면 방향으로 성장되기는 하나 성장된 반도체층(140)이 병합되는 않고, 자체적으로 마이크로 패턴(141) 반도체층이 성장될 수 있다.

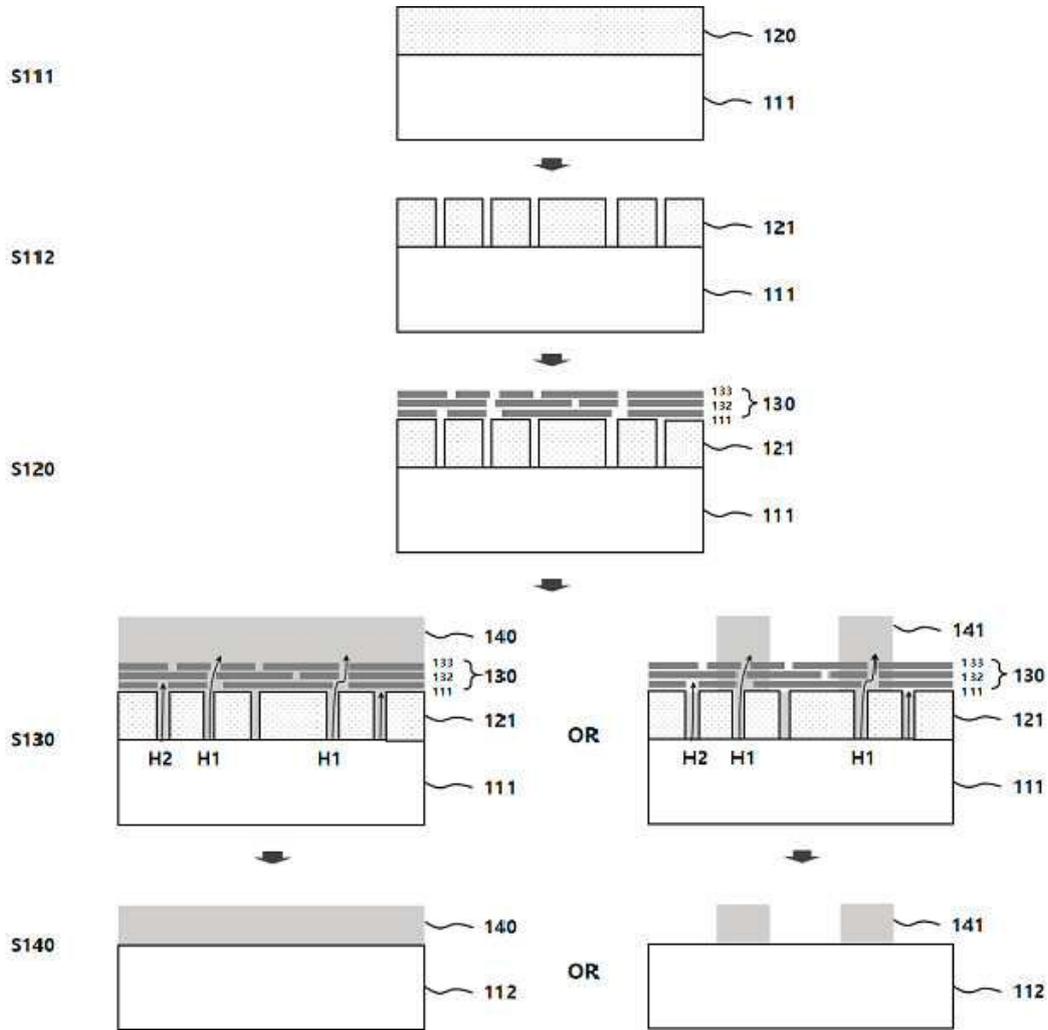
- [0106] 따라서, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 마이크로 패턴을 형성하기 위한 식각 공정 없이 단일 관통홀 에피택시 공정을 통해 손쉽게 마이크로 패턴의 반도체층(141)을 제조할 수 있다.
- [0107] 키포털하게 성장된 반도체층(140)과 마이크로 패턴으로 성장된 반도체층(141)은 구조가 상이한 것을 제외하면 동일한 구성요소를 포함하고 있으므로, 이하에서는, 키포털하게 성장된 반도체층(140)에 대해서만 설명하기로 한다.
- [0108] 반도체층(140)은 질화 갈륨(GaN; gallium nitride), 알루미늄 갈륨 질화물(AlGaN; aluminium gallium nitride), 인듐 갈륨 질화물(InGaN; indium gallium nitride), 인듐 질화물(InN; indium nitride), 알루미늄 질화물(AlN; aluminum nitride) 및 알루미늄 인듐 갈륨 질화물(AlInGaN; aluminum indium gallium nitride) 중 적어도 어느 하나를 포함할 수 있다.
- [0109] 반도체층(140)은 유기금속화학기상증착법(metal organic chemical vapor deposition; MOCVD), 분자빔 성장법(molecular beam epitaxy) 및 수소화물 기상증착법(hydride vapor phase epitaxy; HVPE) 중 어느 하나의 방법으로 형성될 수 있고, 바람직하게는, 반도체층(140)은 유기금속화학기상증착법(MOCVD)에 의해 성장될 수 있다.
- [0110] 실시예에 따라, 2차원 물질층(130) 상에 적어도 한 층의 반도체층을 에피택셜 성장시키는 단계(S130)는, 반도체층(140)을 선택적으로 식각하여 반도체 패턴을 형성하는 단계를 더 포함할 수 있다.
- [0111] 식각 방법은 특별히 한정되지 않고, 당 분야에 사용되는 식각 방법이 사용될 수 있으며, 예를 들어, 식각은 마스크를 사용하여 건식 식각 방법으로 식각될 수 있고, 건식 식각 방법은 RIE(Reactive Ion Etching), ECR(Electron Cyclotron Resonance) 및 ICP(Inductively Coupled Plasma) 중 적어도 어느 하나일 수 있다.
- [0112] 마지막으로, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 반도체층(140)을 지지체(support)를 이용하여 타겟 기판(target substrate; 112)에 전사하는 단계(S140)를 진행한다.
- [0113] 예를 들어, 지지체는 열 박리 테이프(thermal release tape)를 포함할 수 있다.
- [0114] 본 발명의 실시예에 따른 관통홀 에피택시 방법은 성장된 반도체층(140)과 성장 기판(111) 사이에 비정질 절연층(120) 및 2차원 물질층(130)을 포함하기 때문에, 지지체를 이용하여 손쉽게 분리되어 타겟 기판(112)에 전사될 수 있다.
- [0115] 종래에는, 성장 기판(111)으로부터 반도체층(140)을 분리하기 위해 주로 레이저 리프트 오프(LLO; Laser Lift Off) 방식 또는 화학적 리프트 오프(CLO; Chemical Lift Off) 방식을 사용하였으나, 레이저 리프트 오프(LLO; Laser Lift Off) 방식은 레이저로 기판과 후막 사이 계면을 녹여서 분리하는 기술로 분리 과정에서 결합 발생율이 높고, 비용이 많이 발생하는 문제점이 있고, 화학적 리프트 오프(CLO; Chemical Lift Off) 방식은 비교적 저렴하고 분리 과정에서 추가적인 결합 발생률이 낮으나, 화학적으로 식각 가능한 희생층(sacrificial layer)이 필요하기 때문에, 희생층 상에 성장된 질화 갈륨의 결정성이 상대적으로 낮다는 문제점이 있었다.
- [0116] 그러나, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 2차원 물질층(130)과 성장 기판(111) 사이에 약한 정전기적 인력으로 결합될 수 있으므로, 성장 기판(111)으로부터 2차원 물질층(130)의 분리가 용이하다. 따라서, 2차원 물질층(130) 상에 형성되는 반도체층(140)을 손상없이 성장 기판(111)으로부터 깨끗하게 박리할 수 있다. 이때, 2차원 물질층(130)은 반도체층(140)을 성장 기판(111)으로부터 박리하기 위한 희생층으로 사용될 수 있다. 또한, 반도체층(140)의 박리 후 성장 기판(111)을 재사용할 수 있으므로, 에피택시 반도체 구조물의 제조 단가를 낮출 수 있다.
- [0117] 따라서, 본 발명의 실시예에 따른 관통홀 에피택시 방법은 제1 관통홀 및 제2 관통홀을 포함하는 비정질 절연층(120) 및 2차원 물질층(130)을 이용하여 추가 희생층 필요 없이 반도체층(140)을 성장 기판(111)으로부터 분리함으로써, 성장 기판(111) 제거 공정으로 인한 반도체층(140), 더 나아가 발광 소자의 손상을 감소시켜, 고품질의 반도체층(140)의 특성을 유지시킬 수 있다.
- [0119] 도 3은 본 발명의 실시예에 따른 발광소자의 제조방법을 도시한 개략도이다.
- [0120] 본 발명의 실시예에 따른 발광소자의 제조방법은 본 발명의 실시예에 따른 관통홀 에피택시 방법을 이용하여 제조되기에, 동일한 구성요소를 포함할 수 있고, 동일한 구성 요소에 대한 상세한 설명은 생략하기로 한다.

- [0121] 먼저, 본 발명의 실시예에 따른 발광소자의 제조방법은 성장 기판(211) 상에 나노 크기의 제1 관통홀을 포함하는 비정질 절연층(220)을 형성하는 단계(S210) 및 비정질 절연층(220) 상에 적어도 두 층의 2차원 물질층(230)을 형성하는 단계(S220)를 진행한다.
- [0122] 단계 S210 및 S220은 본 발명의 실시예에 따른 관통홀 에피택시 방법의 단계 S110 및 단계 S120과 동일하기에 상세한 설명은 생략하기로 한다.
- [0123] 이 후, 본 발명의 실시예에 따른 발광소자의 제조방법은 적어도 두 층의 2차원 물질층(230) 상에 n-type 반도체층, 활성층 및 p-type 반도체층을 순차적으로 성장시켜 발광 구조물 패턴(241)을 형성하는 단계(S230)를 진행한다.
- [0124] 단계 S230에서, 적어도 한 층의 발광 구조물 패턴(241)은 2차원 물질층(230)의 전면에 컨포멀(conformal)하기 성장되거나, 2차원 물질층(230)의 핵 생성 지점에 대응하는 위치에 발광 구조물 패턴(241)으로 성장될 수 있다.
- [0125] n-type 반도체층은 에피택셜 측면 오버그로스(ELOG) 방법으로 성장될 수 있다.
- [0126] 에피택셜 측면 오버그로스(ELOG)는 성장 기판(211)으로부터 수직 방향으로뿐만 아니라 2차원 물질층(230) 상부의 측면 방향으로도 n-type 반도체층이 성장될 수 있다.
- [0127] n-type 반도체층이 2차원 물질층(230)의 제2 관통홀을 통하여 수직 성장된다. 이후, 성장의 마지막 단계에서, 2차원 물질층(230)의 제2 관통홀의 측방향으로 연장되어 n-type 반도체층이 성장될 수 있다.
- [0128] 이로 인해, 측방향으로 성장되는 n-type 반도체층은 일정 시간이 지난 후, 수직 성장된 n-type 반도체층이 병합되어 성장 기판(211) 및 2차원 물질층(230) 상부 표면에 전체적으로 성장된 n-type 반도체층이 형성될 수 있다.
- [0129] 또한, n-type 반도체층 상에 활성층 및 p-type 반도체층을 성장시켜, 발광 구조물(240)이 형성될 수 있다.
- [0130] 2차원 물질층(230) 상부 표면에 전체적으로 발광 구조물(240)이 형성되는 경우, 적어도 두 층의 2차원 물질층(230) 상에 n-type 반도체층, 활성층 및 p-type 반도체층을 순차적으로 성장시켜 발광 구조물 패턴(241)을 형성하는 단계(S231)는, 적어도 두 층의 2차원 물질층(230) 상에 n-type 반도체층, 활성층 및 p-type 반도체층(240)을 순차적으로 성장시켜 발광 구조물(240)을 형성하는 단계(S231) 및 발광 구조물(240)을 선택적으로 식각하여 발광 구조물 패턴(241)을 형성하는 단계(S232)를 포함할 수 있다.
- [0131] n-type 반도체층은 질화 갈륨(GaN; gallium nitride), 알루미늄 갈륨 질화물(AlGa_N; aluminium gallium nitride), 인듐 갈륨 질화물(InGa_N; indium gallium nitride) 및 알루미늄 인듐 갈륨 질화물(AlInGa_N; aluminum indium gallium nitride) 중 적어도 어느 하나를 포함할 수 있고, 바람직하게는, 질화 갈륨(GaN; gallium nitride)이 사용될 수 있다.
- [0132] 활성층은 에너지 밴드 갭이 작은 물질을 사용하는 양자우물(quantum well) 및 에너지 밴드 갭이 큰 물질을 사용하는 양자 배리어(quantum barrier)이 적어도 1회 교대로 적층된 구조를 가질 수 있다. 양자우물은 단일 양자우물(single quantum well) 구조 또는 다중 양자우물(MQW; multi-quantum well) 구조를 가질 수 있다.
- [0133] 바람직하게는, 양자우물로는 인듐 갈륨 질화물(InGa_N)이 사용될 수 있고, 양자 배리어로는 질화 갈륨(GaN)이 사용될 수 있으나, 이에 한정되는 것은 아니다.
- [0134] 활성층은 인듐 갈륨 질화물(InGa_N; indium gallium nitride), 알루미늄 갈륨 질화물(AlGa_N; aluminium gallium nitride), 질화 갈륨(GaN; gallium nitride) 및 알루미늄 인듐 갈륨 질화물(AlInGa_N; aluminum indium gallium nitride) 중 적어도 어느 하나를 포함할 수 있다.
- [0135] p-type 반도체층은 질화 갈륨(GaN; gallium nitride), 알루미늄 갈륨 질화물(AlGa_N; aluminium gallium nitride), 인듐 갈륨 질화물(InGa_N; indium gallium nitride), 인듐 질화물(In_N; indium nitride), 알루미늄 질화물(Al_N; aluminum nitride) 및 알루미늄 인듐 갈륨 질화물(AlInGa_N; aluminum indium gallium nitride) 중 적어도 어느 하나를 포함할 수 있고, 바람직하게는 질화 갈륨(GaN; gallium nitride)이 사용될 수 있다.
- [0136] 식각 방법은 특별히 한정되지 않고, 당 분야에 사용되는 식각 방법이 사용될 수 있으며, 예를 들어, 식각은 마스크를 사용하여 건식 식각 방법으로 식각될 수 있고, 건식 식각 방법은 RIE(Reactive Ion Etching), ECR(Electron Cyclotron Resonance) 및 ICP(Inductively Coupled Plasma) 중 적어도 어느 하나일 수 있다.
- [0137] 따라서, 본 발명의 실시예에 따른 발광소자의 제조방법은 마이크로 크기를 갖는 발광 구조물 패턴(241)을 제조할 수 있다.

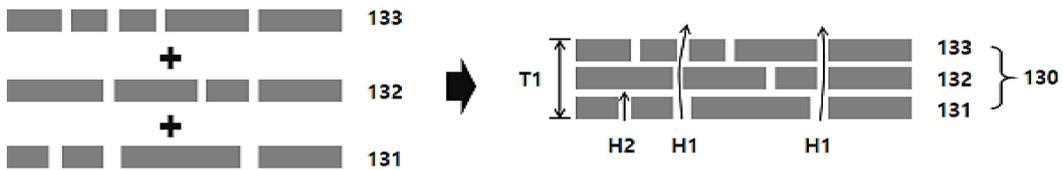
- [0138] 이 후, 본 발명의 실시예에 따른 발광소자의 제조방법은 발광 구조물 패턴(241) 상단에 제1 전극(250)을 형성하는 단계(S240)를 진행한다.
- [0139] 제1 전극(250)은 p-형 전극일 수 있으며, 제1 전극(250)은 백금(Pt), 팔라듐(Pd), 알루미늄(Al), 금(Au), 은(Ag), 니켈/금(Ni/Au), 티타늄/알루미늄(Ti/Al), 인듐 주석 산화물(ITO) 또는 아연 산화물(ZnO)을 단독으로 또는 조합하여 사용할 수 있다.
- [0140] 제1 전극(250)은 지지 기판(도시하지 않음)을 이용하여 발광 구조물 패턴(240)에 부착될 수 있으며, 보다 상세하게는, 지지 기판(도시하지 않음) 상에 열 증착(thermal evaporator) 방법, 전자 빔 증착(E-beam evaporator) 방법, 스퍼터링(RF or DC sputter) 방법 또는 다양한 전극 형성 방법을 통하여 형성된 제1 전극(250)을 발광 구조물 패턴(240)에 부착시킬 수 있으나, 이에 한정 되는 것은 아니다. 또한, 지지 기판(도시하지 않음)은 필요에 따라 제거될 수도 있다.
- [0141] 또한, 본 발명의 실시예에 따른 발광소자의 제조방법은 2차원 물질층(230)이 발광 구조물 패턴(240)과 반 데르 발스(van der Waals, vdW) 힘으로 결합되어 있기 때문에, 손쉽게 성장 기판(211)을 제거할 수 있다.
- [0142] 보다 구체적으로, 2차원 물질층(230)은 반 데르 발스 인력을 통해 발광 구조물 패턴(240)과 약하게 결합될 수 있으므로, 발광 구조물 패턴(240)으로부터 성장 기판(211)을 분리 시, 상부에 형성되는 층 또는 구조물의 손상을 미연에 방지하는 동시에 손쉽게 제거할 수 있다. 또한 분리된 성장 기판(211)을 재사용 할 수 있으므로, 발광 소자의 제조 단가를 낮출 수 있다.
- [0143] 실시예에 따라, 본 발명의 실시예에 따른 발광소자의 제조방법은 지지체를 이용하여 발광 구조물 패턴(240)을 제1 전극(250)에 전사하거나, 성장 기판(211) 상에 형성된 발광 구조물 패턴(240) 상단에 제1 전극(250)을 형성한 다음, 성장 기판(211)을 제거할 수 있다.
- [0144] 마지막으로, 본 발명의 실시예에 따른 발광소자의 제조방법은 발광 구조물 패턴(241)의 하단에 제2 전극(260)에 전사하는 단계(S250)를 진행한다.
- [0145] 발광 구조물 패턴(240)의 하단에, 즉, 제1 전극(250)이 형성되지 않은 면에 제2 전극(260)을 부착시킨다.
- [0146] 제2 전극(260)은 n-형 전극일 수 있고, 제2 전극(260)은 백금(Pt), 팔라듐(Pd), 알루미늄(Al), 금(Au), 은(Ag), 니켈/금(Ni/Au), 티타늄/알루미늄(Ti/Al), 인듐 주석 산화물(ITO) 또는 아연 산화물(ZnO)을 단독으로 또는 조합하여 사용할 수 있다.
- [0147] 제2 전극(260)은 열 증착(thermal evaporator) 방법, 전자 빔 증착(E-beam evaporator) 방법, 스퍼터링(RF or DC sputter) 방법 또는 다양한 전극 형성 방법에 의해 형성될 수 있다.
- [0148] 제2 전극(260)은 지지 기판(도시하지 않음)을 이용하여 발광 구조물 패턴(240)에 부착될 수 있으며, 보다 상세하게는, 지지 기판(도시하지 않음) 상에 열 증착(thermal evaporator) 방법, 전자 빔 증착(E-beam evaporator) 방법, 스퍼터링(RF or DC sputter) 방법 또는 다양한 전극 형성 방법을 통하여 형성된 제2 전극(260)을 발광 구조물 패턴(240)에 부착시킬 수 있으나, 이에 한정 되는 것은 아니다. 또한, 지지 기판(도시하지 않음)은 필요에 따라 제거될 수도 있다.
- [0149] 따라서, 본 발명의 실시예에 따른 발광 소자 제조 방법을 이용하여 제조된 발광 소자는 제1 전극(250) 및 제2 전극(260)이 수직 구조로 형성되고, 이로 인해, 제1 전극(250) 및 제2 전극(2360)은 발광 소자(300)에 대하여 전류를 수직으로 인가하도록 형성될 수 있다.
- [0150] 또한, 본 발명의 실시예에 따른 발광 소자 제조 방법을 이용하여 제조된 발광 소자의 발광 구조물 패턴(240)의 전면에 전극이 형성되면 램프(lamp)에 사용하기에 용이하고, 발광 구조물 패턴(240)의 각각에 전극이 형성되면 디스플레이(display)로 사용하기에 용이하다.
- [0151] 본 발명의 실시예에 따른 발광 소자 제조 방법을 이용하여 제조된 발광 소자는 무기물질기반의 플렉서블 & 투명 디스플레이 소자(flexible & transparent display)에 적용할 수 있고, 예를 들어, 본 발명의 실시예에 따른 발광 소자 제조 방법을 이용하여 제조된 발광 소자는 마이크로 발광 소자(micro LED)일 수 있다.
- [0152] 또한, 본 발명의 실시예에 따른 발광 소자 제조 방법을 이용하여 제조된 발광 소자를 사용함으로써, 발광 램프(luminescent lamp)를 대체할 수 있는 전반 조명(general lighting)에 활용될 수 있다.
- [0153] 또한, 본 발명의 실시예에 따른 발광 소자 제조 방법을 이용하여 제조된 발광 소자는 가상현실 또는 증강 현실

도면

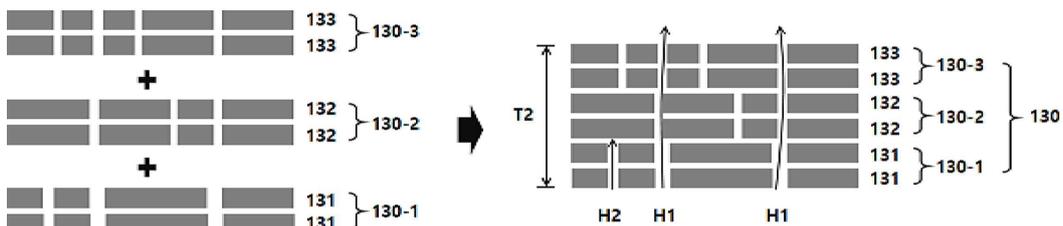
도면1



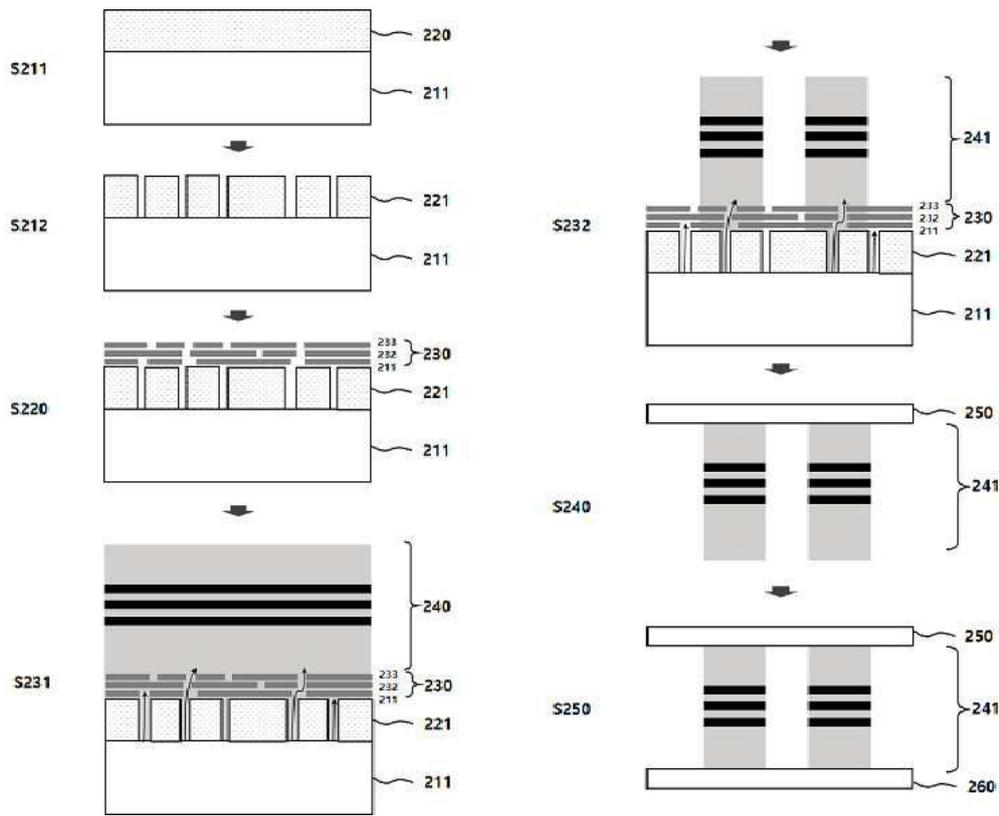
도면2a



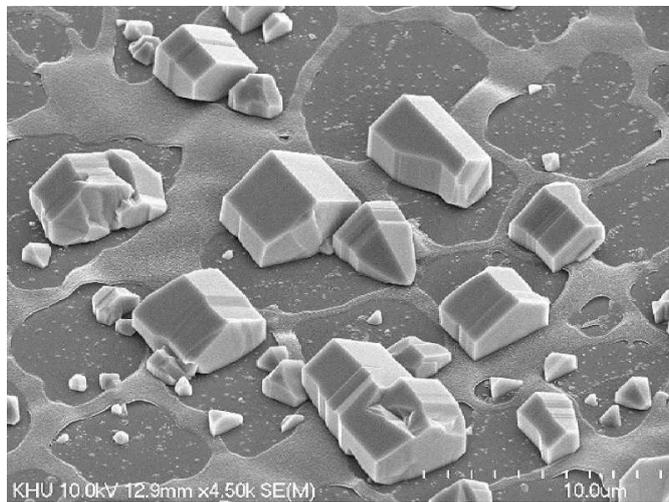
도면2b



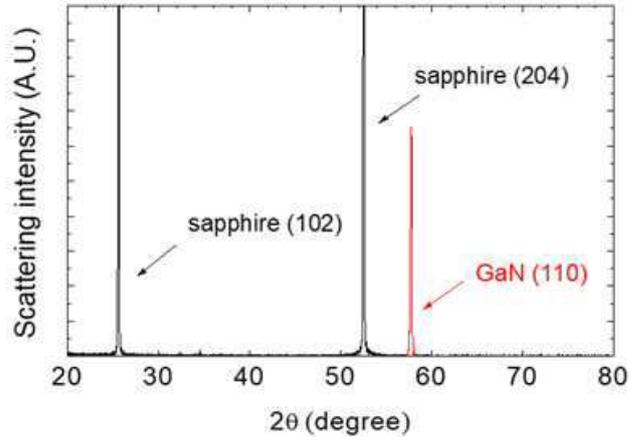
도면3



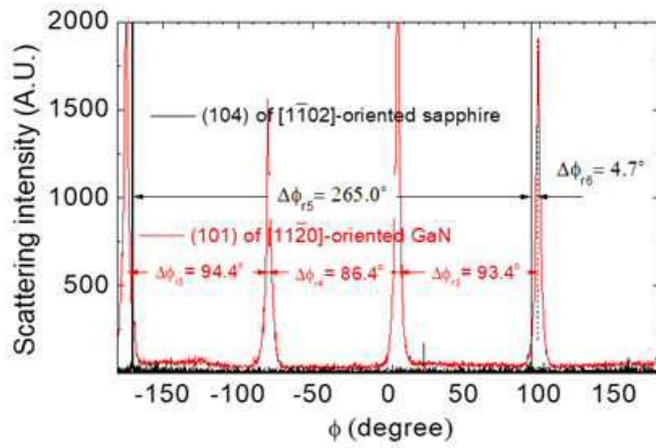
도면4



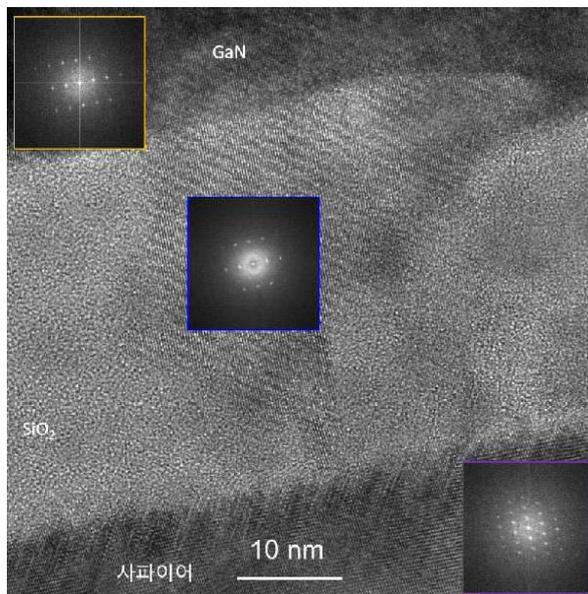
도면5



도면6



도면7



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 3

【변경전】

제2항에 있어서,

상기 2차원 물질층 상에 적어도 한 층의 반도체층을 에피택셜 성장시키는 단계에서,

상기 적어도 한 층의 반도체층은 상기 2차원 물질층의 전면에 컨포멀(conformal)하기 성장되거나, 상기 2차원 물질층의 핵 생성 지점에 대응하는 위치에 마이크로 패턴으로 성장되는 것을 특징으로 하는 관통홀 에피택시 방법.

【변경후】

제2항에 있어서,

상기 2차원 물질층 상에 적어도 한 층의 반도체층을 에피택셜 성장시키는 단계에서,

상기 적어도 한 층의 반도체층은 상기 2차원 물질층의 전면에 컨포멀(conformal)하게 성장되거나, 상기 2차원 물질층의 핵 생성 지점에 대응하는 위치에 마이크로 패턴으로 성장되는 것을 특징으로 하는 관통홀 에피택시 방법.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 14

【변경전】

상기 성장 기판 상에 나노 크기의 제1 관통홀을 포함하는 비정질 절연층을 형성하는 단계;

상기 비정질 절연층 상에 적어도 두 층의 2차원 물질층을 형성하는 단계;

상기 적어도 두 층의 2차원 물질층 상에 n-type 반도체층, 활성층 및 p-type 반도체층을 순차적으로 성장시켜 발광 구조물 패턴을 형성하는 단계;

상기 발광 구조물 패턴 상단에 제1 전극을 형성하는 단계; 및

상기 발광 구조물 패턴 하단에 제2 전극을 형성하는 단계;

를 포함하고,

상기 적어도 두 층의 2차원 물질층은 나노 크기의 제2 관통홀(Thru hole)을 포함하는 것을 특징으로 하는 발광 소자의 제조 방법.

【변경후】

성장 기판 상에 나노 크기의 제1 관통홀을 포함하는 비정질 절연층을 형성하는 단계;

상기 비정질 절연층 상에 적어도 두 층의 2차원 물질층을 형성하는 단계;

상기 적어도 두 층의 2차원 물질층 상에 n-type 반도체층, 활성층 및 p-type 반도체층을 순차적으로 성장시켜 발광 구조물 패턴을 형성하는 단계;

상기 발광 구조물 패턴 상단에 제1 전극을 형성하는 단계; 및

상기 발광 구조물 패턴 하단에 제2 전극을 형성하는 단계;

를 포함하고,

상기 적어도 두 층의 2차원 물질층은 나노 크기의 제2 관통홀(Thru hole)을 포함하는 것을 특징으로 하는 발광 소자의 제조 방법.